

電子情報通信学会集積回路技術リテラシー研究会, Vol.RF2017-10

# 電子情報通信学会研究会資料

集積回路技術リテラシー研究会  
IEICE Technical Report on Integrated Circuits Literacy

2017年10月2日～3日  
東京工業大学

主催：電子情報通信学会 集積回路研究専門委員会  
協賛：IEEE Solid-State Circuits Society Japan Chapter  
協賛：IEEE Solid-State Circuits Society Kansai Chapter

<http://www-lab13.kuee.kyoto-u.ac.jp/AnalogRF/>

# 目次

## 10月2日(月)

- 14:00-14:10 委員長挨拶
- 14:10-14:40 1. (招待講演)「東京工業大学における農業プロジェクトの紹介」  
伊藤 浩之、石原 昇、鹿島 光司、深水 克郎、道正 志郎、大場 隆之、益 一哉 (東工大)
- 14:40-15:05 2. 「再利用を可能にするアナログ合成のアレー座標生成方法」  
盛 健次、菅原 光俊 (東工大)、宮原 正也 (高エネ研)、松澤 昭 (東工大) ..... 1
- 15:20-15:45 3. 「集積回路における熱と回路の連成解析」  
中原 段 (キーサイト・テクノロジー) ..... 1
- 15:45-16:10 4. 「微小電流測定のための冗長逐次比較近似 AD 変換アルゴリズム」  
新井 宏崇、荒船 拓也、澁谷 将平、小林 佑太朗、浅見 幸司、小林 春夫 (群馬大) ..... 2
- 16:10-16:35 5. 「トリガ回路を用いた積分型時間デジタル回路」  
佐々木 優斗、小澤 祐喜、小林 春夫 (群馬大) ..... 2
- 16:50-17:50 6. (招待講演)「Networking The Universe」  
山村 毅 (富士通研究所)

## 10月3日(火)

- 09:30-09:55 7. 「マイクロシステム実現に向けたオンチップ送信回路の検討」  
五十嵐 一真、銭林 大悟、中野 誠彦 (慶応大) ..... 3
- 09:55-10:20 8. 「2次元マルチホップ無線電力伝送システムにおけるチャンネルモデルの効率的解析」  
竹田 右京、稲田 裕介、渋谷 亮太、石黒 仁揮 (慶応大)..... 3
- 10:20-10:50 9. (招待講演)「アナデジ混載集積回路開発時の不良及び対策事例紹介」  
宮原 正也 (高エネルギー加速器研究機構)
- 11:05-11:35 10. (招待講演)「車載LiDAR向けCMOS SPADイメージセンサ」  
尾崎 憲幸 (デンソー)
- 11:35-12:05 11. (招待講演)「Time-Domain Neural Network for Deep Learning Inference」  
宮下 大輔 (東芝メモリ)

## 再利用を可能にするアナログ合成のアレー座標生成方法

### Array coordinate generation method for analog synthesis enabling reuse

\*1 東京工業大学, \*2 高エネルギー加速器研究機構 ○盛 健次\*1, 菅原 光俊\*1, 宮原 正也\*2, 松澤 昭\*1

\*1 Tokyo Institute of Technology, \*2 High Energy Accelerator Research Organization

k-mori@ssc.pe.titech.ac.jp, sugawara@ssc.pe.titech.ac.jp, masaya@post.kek.jp, matsu@ssc.pe.titech.ac.jp

**概要:** 我々は、CADENCE 社の SKILL 言語を用いて様々なアナログ回路の回路合成に取り組んでいる。今までは、モデルパラメータ抽出 TEG[1], 9 ビット RDAC[2], 12 ビット SAR ADC[3]を発表してきた。今回は、再利用（特にプロセス変換）を可能にする RDAC のアレー座標生成方法について述べる。

**実験:** 半導体のアナログ設計及びレイアウト技術者は、CADENCE 社の virtuoso を用いて、シンボル図、回路図、レイアウト図を作成している。このようにして描画された部品のプロパティ情報を CADENCE 社のデータベースアクセス関数に代入すると、再描画できることが分かる。pin, wire, rect, path, cell, pcell 等のプロパティ情報は、すべて座標情報を含んでいる。そこで、設計データ（トランジスタの L, W）と PDK のデザインルールを使ってアレー座標（図 1）を生成するように改良し、再利用を可能にするアナログ合成のアレー座標生成方法を紹介する。

**参考文献:** [1] 盛 健次, 菅原 光俊, 松澤 昭, “モデルパラメータ抽出用トランジスタ TEG,” 第 32 回シリコンアナログ RF 研究会, 中央大, 3/4, 2013.

[2] 盛 健次, 菅原 光俊, 宮原 正也, 松澤 昭, “9 ビット RDAC の自動合成,” 第 33 回シリコンアナログ RF 研究会, 湯河原, 8/28, 2013.

[3] 盛 健次, 菅原 光俊, 宮原 正也, 松澤 昭, “SKILL 言語を用いた SAR\_ADC の開発,” 第 40 回アナログ RF 研究会, 東工大, 6/25, 2015.

謝辞: 本研究は総務省委託研究「ミリ波帯ワイヤレスアクセスネットワーク構築のための周波数高度利用技術の研究開発」の一環です。

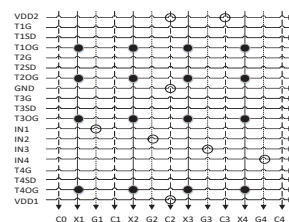


図 1. レイアウトのアレー座標

## 集積回路における熱と回路の連成解析

### Electro-Thermal Simulation for Integrated Circuit

キーサイト・テクノロジー合同会社 ○中原 段

Keysight Technologies G.K.  
dan\_nakahara@keysight.com

**概要:** 近年の高性能な集積回路を考えると、より小型化、高密度化が要求されている。そのため回路設計がより複雑化し、また回路設計環境の効率化も求められている。特に高密度実装や回路規模増大による熱の影響は回路の電気特性に大きく影響を及ぼすだけでなく、ナノスケールの範囲で変化する不均一な温度上昇(ホットスポット)はデバイスの動作寿命にも影響を与えるため、性能のみならず信頼性を高めるためには設計段階での特性把握が必要不可欠となっている。

ここでは Keysight 社 3 次元熱解析シミュレータ HeatWave を使用した熱と回路の連成解析について説明するとともに各種の事例を示す。

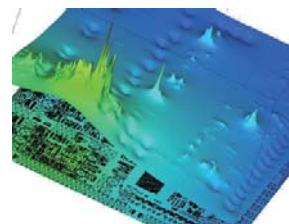


図 1. 回路上の温度分布の例

## 微小電流測定のための冗長逐次比較近似 AD 変換アルゴリズム

### Redundant Successive Approximation Register AD Conversion Algorithm for Minute Current Measurement

群馬大学  
Gunma University

○新井 宏崇<sup>1</sup>, 荒船 拓也, 澁谷 将平, 小林 佑太郎, 浅見 幸司, 小林 春夫<sup>2</sup>  
Hirokata Arai, Takuya Arafune, Shohei Shibuya, Yutaro Kobayashi, Koji Asami, Haruo Kobayashi  
1:t13304006@gunma-u.ac.jp 2:koba@gunma-u.ac.jp

**概要:** 微小電流の計測を行うための逐次比較近似(SAR)AD 変換アルゴリズムを検討する。微小電流を入力とするサンプルホールド回路は整定に時間がかかる。通常の 2 進探索型 SAR AD アルゴリズムでは冗長性がないので ADC 入力の微小電流が前段のサンプルホールド回路出力が安定してからでないと AD 変換動作を開始できない。そこでフィボナッチ型等の冗長探索 SAR アルゴリズムの使用を検討した。冗長性のため前段で逐次比較の判定誤りが起きても後段で補正できる [1,2]。したがって、微小電流が前段のサンプルホールド回路出力が完全整定する前に SAR AD 変換動作を開始でき、SAR AD 変換時間が短くなり高速化できることをシミュレーションで確認した (図 1, 2)。

**参考文献:**

- [1] Y. Kobayashi, H. Kobayashi, "Redundant SAR ADC Algorithm Based on Fibonacci Sequence", Advanced Micro-Device Engineering VI Key Engineering Materials pp.117-126 (2016).
- [2] T. Arafune, Y. Kobayashi, S. Shibuya, H. Kobayashi, "Fibonacci Sequence Weighted SAR ADC Algorithm and its DAC Topology", IEEE 11th International Conference on ASIC, Chengdu, China (Nov. 2015).

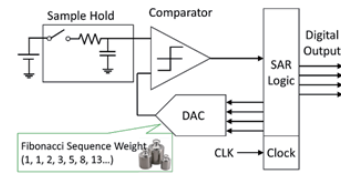


図 1. 冗長探索 SAR ADC 回路

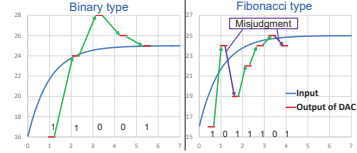


図 2. 2 進, 冗長探索 SAR ADC 動作例

## トリガ回路を用いた積分型時間デジタイザ回路 Integration-type TDC Employing Trigger Circuit

群馬大学 ○佐々木 優斗<sup>1</sup>, 小澤 祐喜, 小林 春夫<sup>2</sup>  
Gunma University Yuto Sasaki, Yuki Ozawa, Haruo Kobayashi  
1:t14304053@gunma-u.ac.jp 2:koba@gunma-u.ac.jp

**概要:** トリガ回路を用いた積分型時間デジタイザ回路を提案する。この新しい手法による時間デジタイザ回路は、トリガにより発振を開始する周期が既知の 2 個の発振回路と、非同期な周期のクロックを採用している (図 1)。2 つの発振波形のデータをクロック毎に多数取得し、それぞれの HIGH, LOW を考慮してカウントして総データ数との比をとると、モンテカルロ法[1]により長い測定時間をかけるほど (入力データ数が多いほど) 細かい時間分解能でトリガの入力時間差を推定することが可能である(図 2)。本研究では、シミュレーションによりアルゴリズムを検証し、データ数を増加させることにより高精度に時間を測定できることを確認した。

**参考文献:**

- [1] C. Li, J. Wang, H. Kobayashi, R. Shiota, "Timing Measurement BOST Architecture with Full Digital Circuit and Self-Calibration Using Characteristics Variation Positively for Fine Time Resolution", 21th IEEE International Mixed-Signal Testing Workshop, Catalunya, Spain (July 2016).

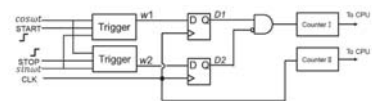


図1. 積分型時間デジタイザ回路

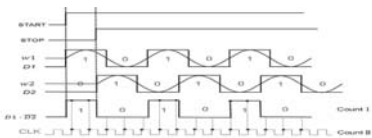


図2. タイミングチャート

## マイクロシステム実現に向けたオンチップ送信回路の検討

An on-chip transmitting circuit for a microsystem  
 慶應義塾大学 ○五十嵐 一真, 銭林 大悟, 中野 誠彦  
 Keio University  
 igarashi@nak.elec.keio.ac.jp

**概要:** 本研究ではマイクロシステム実現に向けたオンチップ送信回路の検討および設計を行った。送信回路はオンチップ部品で実装可能、かつオンチップ太陽電池から供給される電力で動作する必要がある。低電力送信回路としては先行事例としてフィルターを用いたインパルス TX[1]があり、本回路の適用を検討した。同回路、および周辺回路を組み合わせたものを Rohm 0.18 $\mu$ m プロセスにより設計した。システムとしては太陽電池をセンサとみためて照度をパルス間隔に置き換えることで情報を送出するシステムとなっている。本発表ではシミュレーションによる検証結果を報告する。

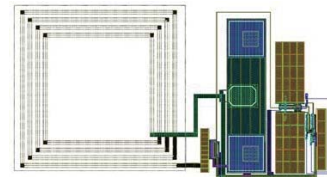


図 1. インパルス TX を用いた送信回路レイアウト

**参考文献:** [1] 石川 洋介, 小原 崇義, 紙透 航志, 石河 卓也, 伊藤 浩之, 道正 史郎, 石原 昇, 益 一哉 時間ドメインセンシング技術を用いたオールアナログ水位センサ端末回路とシステムのワークショップ2017

## 2次元マルチホップ無線電力伝送システムにおけるチャネルモデルの効率的解析

Efficient Analysis of a 2-D Multi-Hop Wireless Power Transfer System  
 慶應義塾大学 ○竹田右京 ○稲田裕介 渋谷亮太 石黒仁揮  
 Keio University

**概要:** 多数のコイルが存在するマルチホップの磁界共鳴方式の無線電力伝送系を電磁界解析ソフトウェア (CST: MW Studio) シミュレーションした場合、複雑なモデルであるため結果が得られるまで数十時間かかってしまう。この問題を解決するべく、相互インダクタンス等を電磁界シミュレーションで抽出し、等価回路に置き換え MATLAB でシミュレーションを行った結果、シミュレーションの正確さを保ちつつ、ランタイムを 13.5h から 0.17s まで大幅に短縮することに成功した。

**実験:** 20mm 平方フラットコイルを用いたコイルアレイモデルの主要となる相互インダクタンスを電磁界解析ソフトウェアで計算し、MATLAB にて等価回路を記述した。次に MATLAB にて各モデルの等価回路を用いたシミュレーションを行い、先の各シミュレーションのランタイムを比較した。最後に実際のコイルアレイを用いた実測を行い、シミュレーションとの結果を比較することにより、シミュレーション結果に十分な再現性があることを確認した。

**参考文献:** [1] R. Shibuya, T. Kawajiri, H. Ishikuro, "A simplified path interference model in 2D multi-hop wireless power transfer system," ISAP, Oct. 2016

[2] Y. Naruse, et al., "Impedance Matching Method for Any-Hop Straight Wireless Power Transmission Using Magnetic Resonance," in Proc. IEEE RWS, Jan. 2013, pp. 20-23

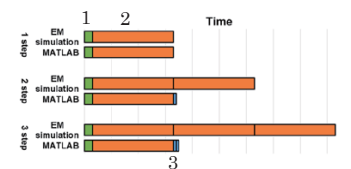
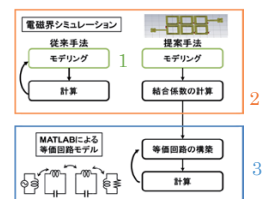


図 1. 等価回路による時間短縮手法