

電子情報通信学会研究会資料

アナログ RF 研究会
IEICE Technical Report on Analog RF Technologies

2015年6月25日
東京工業大学 大岡山キャンパス

主催：電子情報通信学会 集積回路研究専門委員会
協賛：IEEE Solid-State Circuits Society Japan Chapter
協賛：IEEE Solid-State Circuits Society Kansai Chapter

<http://www-lab13.kuee.kyoto-u.ac.jp/AnalogRF/>

目次

2015年6月25日(木)

13:00-13:10	委員長挨拶	
13:10-14:10	1. [招待講演] 異種機能集積技術の新展開 “ナノG計測とその応用” ○益 一哉 (東工大)	
14:25-14:50	2. マイクロシステム用オンチップメモリの検討 ○折原大地、渡邊淳史、南快優、中野誠彦 (慶應大) 1
14:50-15:15	3. 黄金比重み付け DA 変換器の検討 ○澁谷将平、荒船拓也、小林佑太郎、小林春夫(群馬大) 1
15:15-15:40	4. SKILL 言語を用いた SAR_ADC の開発 ○盛 健次、菅原 光俊、宮原 正也、松澤 昭 (東工大) 2
15:55-16:20	5. プロセス・マイグレーション・フローの考察とツール紹介 ○アート シャルデンブランド, 菅谷 英彦 (日本ケイデンス・デザイン・システムズ) 2
16:20-16:45	6. インバータ型アンプのためのピーキング手法の検討 ○中尾 拓矢, 土谷 亮, 小野寺 秀俊 (京大) 3
16:45-17:10	7. 60GHz 帯無線通信における複素フィルタを用いたプリディストーション歪み補償 ○宮長健二、小林真史、齊藤典昭、白方亨宗、滝波浩二 (パナソニック) 3
17:10-17:35	8. 異常表皮効果の材料・温度依存性 ○土谷 亮, 小野寺 秀俊 (京大) 4

マイクロシステム用オンチップメモリの検討

On-Chip memory for Micro System

慶應義塾大学 ○折原大地、渡邊淳史、南快優、中野誠彦
Keio University ○Daichi Orihara, Atsushi Watanabe, Yoshimasa Minami, Nobuhiko Nakano
orihara@nak.elec.keio.ac.jp

概要: 本研究ではチップ単体で自動的に動作するシステムの実現を目指している。具体的には発電素子、電源回路、アプリケーション回路を単一のチップに載せることにより微小化されたシステムを実現する。発電素子には標準 CMOS プロセスで作製が容易な太陽電池を用いる。本システムの使用例の一つとして、チップに光に当てることでアプリケーション回路が何らかの動作をし、メモリにその情報を蓄え、後にデータを読み出すことを想定している。メモリは発電素子の出力が不安定であることが予想されるため不揮発性であることが求められる。本研究では標準 CMOS プロセスにおいて作製可能な不揮発性メモリについて検討しており、アンチヒューズ素子として動作する MOS キャパシタが候補にあがっている。MOS キャパシタ方式を採用した場合、耐圧を超える高電圧を作成する必要があり[1]、他の箇所は高電圧で壊れないようにする工夫が必要である。このメモリ素子およびその周辺回路について議論する。

参考文献:[1]Schuegraf, Klaus F. et. al. "Hole injection oxide breakdown model for very low voltage lifetime extrapolation," IRPS 1993, pp.7-12, March 23-25,1993.

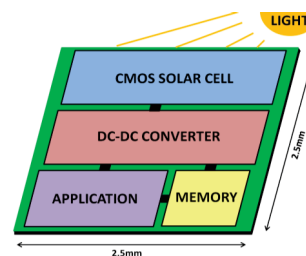


図 1. マイクロシステム概念図

黄金比重み付け DA 変換器の検討

Golden ratio Weighted DAC Topologies for SAR ADC

群馬大学 ○澁谷 将平 荒船 拓也 小林 佑太郎 小林 春夫
Gunma University Shohei Shibuya, Takuya Arafune, Yutaro Kobayashi, Haruo Kobayashi
t15804045@gunma-u.ac.jp

概要: 近年、自動車のエレクトロニクス化は著しく、車載用エレクトロニクス技術に大きな関心が集まっている。その中でマイコンと組み合わせた AD 変換器では逐次比較方式(が広く使われている。その高速化、高精度化、低消費電力化、低コスト化、高信頼性化の要求が年々厳しくなっている。そこで高信頼性化・高速化実現のために冗長設計がある。これまでの研究において、冗長設計のための非二進数アルゴリズムにおいて黄金比重み付け(約 1.6 進数)が最も補正能力、整定速度において有効である[1],[2]。本研究では黄金比重み付け逐次比較近似 AD 変換器内に使用する黄金比重み付け DA 変換器を実現するため、黄金比に収束する整数列であるフィボナッチ数列重み付けによる構成を検討する。

結果: 簡単な抵抗 R と容量 C の組み合わせによる黄金比重み付け DA 変換器の回路構成を提案し、シミュレーションによって提案回路の動作を確認した。

参考文献: [1] 小林佑太郎, 小林春夫 「逐次比較近似 ADC の整数論に基づく冗長アルゴリズム設計」電気学会, 電子回路研究会, 島根 (2014 年 7 月).
[2] Y.Kobayashi, H.Kobayashi, "SAR ADC Algorithm with Redundancy Based on Fibonacci Sequence", The 3rd Solid State Systems Symposium-VLSIs and Semiconductor Related Technologies & The 17th International Conference on Analog VLSI Circuits, Ho Chi Minh, Vietnam (Oct.22-24, 2014)

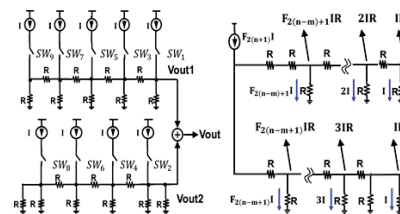


図 1 R-R 抵抗ラダー DA 変換器の構成

SKILL 言語を用いた SAR_ADC の開発

Development of SAR_ADC using SKILL language

○盛 健次、菅原 光俊、宮原 正也、松澤 昭

東京工業大学 Tokyo Institute of Technology

k-mori@ssc.pe.titech.ac.jp, sugawara@ssc.pe.titech.ac.jp, masaya@ssc.pe.titech.ac.jp, matsuo@ssc.pe.titech.ac.jp

概要: 我々は、SKILL 言語を使った様々なアナログ回路の回路合成に取り組んでいる。これまで、モデルパラメータ抽出用トランジスタ TEG[1]や9ビット RDAC の自動合成[2]を発表してきた。今回は、以前に当研究室で開発した12ビットの SAR_ADC 回路を SKILL 言語により開発中であり、その途中経過を報告する。

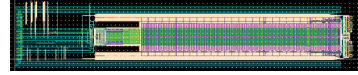


図1 12ビット SAR_ADC

実験: 図1は、当研究室で開発した12ビットの SAR_ADC のレイアウト図である。この SAR_ADC を SKILL 言語により開発する際に新たに開発した2つの重要なプログラム dbCheckOpen (新規に libname, cellname を作成する) と dbCallback (pCell のパラメータ変更を有効にする) を紹介する。また、12ビットの SAR ADC の様々な容量を発生することのできる基本セル MOM_CAP, MOM_SW プログラムとコンパレータのプリアンプとラッチ回路を生成する PREDAMP_LATCH プログラムを紹介する。

参考文献: [1] 盛 健次, 菅原 光俊, 松澤 昭, “モデルパラメータ抽出用トランジスタ TEG”, 第32回シリコンアナログRF研究会, 2013.

[2] 盛 健次, 菅原 光俊, 宮原 正也, 松澤 昭, “9ビット RDAC の自動合成”, 第33回シリコンアナログRF研究会, 2013.

プロセス・マイグレーション・フローの考察とツール紹介

Introduction of Process Migration Flow and Software

日本ケイデンス・デザイン・システムズ社 ○アーサー シャルデンブランド, 菅谷 英彦

Cadence Design Systems, Japan,

○Arthur Schaldenbrand, Hideyoshi Sugaya,

sugaya@cadence.com

概要: 近年、ファウンドリを利用した設計が増加している。これは、微細プロセス設計だけではなく、レガシー・プロセスの設計においても同様である。以前は、古いプロセス・ノードから新しいプロセス・ノードのデータ変換の要望であったが、最近では、プロセス・ノードの変更に加え異なるファウンドリへのデータ変換の要望も高くなっている。

データ変換において、デザイン内の PDK を単純に置き換えた場合に、配置位置のずれやローテーションの設定の違いから回路図データの接続が切れることや、パラメータ値の計算式が異なることによる意図した値と異なるパラメータ値に設定されるなど、データ編集の問題が生じ移行工数がかかってしまう。

本紹介では、プロセス・マイグレーションで生じる課題、それに対応するためのソフトウェアを紹介し、効率的なプロセス・マイグレーションについて考察する。

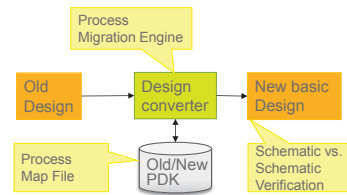


図1. デザインの変換フロー

インバータ型アンプのためのピーキング手法の検討

A Peaking Method for Inverter Amplifiers

京都大学 ○ 中尾 拓矢, 土谷 亮, 小野寺 秀俊

Kyoto University Takuya Nakao, Akira Tsuchiya, Hidetoshi Onodera
t-nakao@vlsi.kuee.kyoto-u.ac.jp

概要: アナログ回路の高速化の要求に伴い、インダクティブピーキングを用いたオンチップ CMOS 増幅器の帯域伸長手法に関する研究が盛んに行われている。インダクティブピーキングは回路を並列化することなく広帯域を実現できるが、面積コストの大きさや非理想的特性による性能劣化が問題点である。本稿はインバータ型アンプの新規ピーキング手法について提案し、その帯域伸長の効果について検証することを目的としている。SPICE によるシミュレーションの結果、提案手法では小さいインダクタンスで従来手法に匹敵する帯域伸長効果が得られたのに加え、インダクタの寄生容量による性能劣化を受けにくいことが分かった。

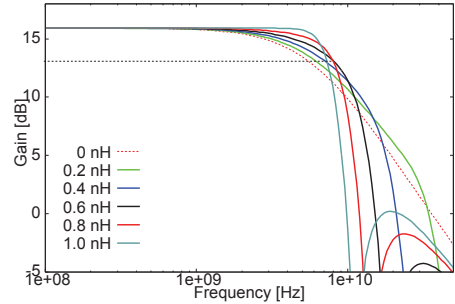


図 1. ピーキングを施したインバータ型アンプの帯域伸長

60GHz 帯無線通信における複素フィルタを用いたプリディストーション歪み補償

A study of digital predistortion using complex filter for 60GHz wireless communication

パナソニック株式会社 ○宮長 健二, 小林 真史, 齊藤 典昭, 白方 亨宗, 滝波 浩二

Panasonic Corporation

miyanaga.kenji@jp.panasonic.com

概要: WiGig/IEEE 802.11ad 規格の 60GHz 帯ミリ波通信では、57~66GHz の 9GHz 帯が免許不要の周波数帯として国際的に割り当てられている。しかし、使用できるチャネル数が最大 4 チャネルと限られており、アクセスポイント用途に代表される多ユーザ接続を実現するには複数チャネルの同時利用が欠かせない。この時、電力増幅器 (PA) の発生する帯域外漏洩電力が隣接チャネルの通信に干渉することでスループットの低下が予想されるため、PA での非線形歪みの改善が重要となる。本稿では、60GHz 帯ミリ波通信のデジタルプリディストーション手法を検討し、その効果を計算機シミュレーションで確認する。

検討: 広帯域変調を取り扱うミリ波通信では、IQ 信号を出力する DAC のオーバーサンプリング比は 2 倍以下に抑えられるのが一般的である。このため、変調信号の 3 次歪み成分を全ての周波数帯域に渡って抑圧することは原理上不可能である。そこで、複素フィルタを用い、歪み抑圧を特定の周波数帯域に集中させる信号処理アルゴリズムを検討した (図 1 上)。提案手法では、チャネルの使用状況に応じて、複素フィルタの係数を切り替えることで容易に歪み抑圧帯域の切り替えが可能である。計算機シミュレーションの結果、バックオフ=6dB 時に帯域外漏洩電力を 10dB 低減できることを確認した (図 1 下)。

謝辞: 本研究は総務省委託研究「ミリ波帯における高度多重化干渉制御技術等に関する研究開発」の一環です。

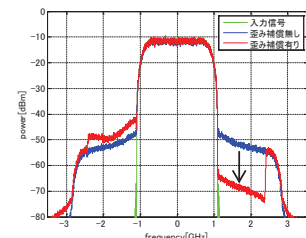
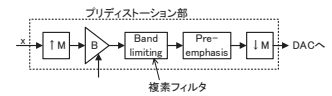


図 1. シミュレーション結果

異常表皮効果の材料・温度依存性

Impact of Material and Temperature on Anomalous Skin Effect

○ 土谷 亮, 小野寺 秀俊 (京都大学)

Akira Tsuchiya and Hidetoshi Onodera

tsuchiya@vlsi.kuee.kyoto-u.ac.jp

概要: テラヘルツ技術が注目される中, 集積回路によるテラヘルツ発振など超高周波領域での動作が報告されている. このような領域でのモデル化の問題として, 異常表皮効果 (ASE; Anomalous Skin Effect) について検討してきた [1]. 異常表皮効果はキャリアが導体表面で散乱されることで抵抗率が変化する現象である. その影響は電子の平均自由行程に強く依存するため, 材質や温度の影響を受けやすい. 今回は材質や温度によって異常表皮効果の影響がどの程度変化するかを理論計算によって評価した.

検討: 計算した ASE の影響を表 1 に示す. ASE によって抵抗が 10% 増加する周波数および 25% 増加する周波数を示した. 表に示すように, 銅配線では 30GHz 程度から影響が開始し, テラヘルツ領域では 10% 以上の影響が出るのに対し, アルミ配線では影響が開始する周波数が 300GHz 以上であり, 1THz でもその影響は 10% 以下である. また, ASE の影響は温度が高くなるに従って小さくなることが分かっており, 今回の検討から異常表皮効果の影響が強くなるのは材料・温度の点である程度限定されたいえる.

[1] A. Tsuchiya and H. Onodera, "Gradient Resistivity Method for Numerical Evaluation of Anomalous Skin Effect," SPI2011, pp.139–142, 2011.

表 1. 異常表皮効果の材料依存性

ASE の影響	銅	アルミ
0%	29.2 GHz	338 GHz
10%	216 GHz	2.5 THz
25%	1.94 THz	22.6 THz