

# 電子情報通信学会研究会資料

アナログ RF 研究会

IEICE Technical Report on Analog RF Technologies

2015 年 3 月 2-3 日

中央大学 後楽園校舎

主催:電子情報通信学会 集積回路研究専門委員会

協賛:IEEE Solid-State Circuits Society Japan Chapter

協賛:IEEE Solid-State Circuits Society Kansai Chapter

<http://www-lab13.kuee.kyoto-u.ac.jp/AnalogRF/>

# 目次

## 2015年3月2日(月)

- 13:00-13:10 委員長挨拶
- 13:10-13:35 1. 改良型粒子群最適化を用いた光送信器の自動調整システム  
○大畠 賢一 (鹿児島大), 矢崎 徹, 中條 徳男, 西元 琢真 (日立製作所) ..... 1
- 13:35-14:00 2. 集積回路配線によるテラヘルツ帯メタ表面の構成に関する検討  
○土谷 亮, 小野寺 秀俊 (京大) ..... 1
- 14:00-14:25 3. LCフィルタレス Class-D アンプに用いる  $\Delta \Sigma$  変調 DAC 特性の検討  
○春海 豪, 渡邊 裕紀, 西勝 聡, 安田 彰, 吉野 理貴 (法政大) ..... 2
- 14:25-15:05 4. [ISSCC 特別講演]  
A Digital Sub-sampling ADC-PLL with -112dBc/Hz In-band Phase Noise and 380fsrms Jitter  
○Teerachot Siriburanon, 近藤 智史, 木村 健将, 上野 智大, 川嶋 理史, 金子 徹, Wei Deng, 宮原 正也, 岡田 健一, 松澤 昭 (東工大)
- 15:15-16:15 5. [招待講演]  
77GHz/79GHz 車載ミリ波レーダ向け低雑音 CMOS 送受信器  
○松村 宏志, 志村 利宏, 川野 陽一, 鈴木 俊秀, 岩井 大介, 大橋 洋二 (富士通研究所)
- 16:25-17:25 6. [招待講演]  
アナログ回路設計はどこに行くのか? -平成時代を振り返って-  
○道正 志郎 (東工大) ..... 2

## 2015年3月3日(火)

- 09:30-09:55 7. WPT におけるインピーダンス制御と最大電力伝送手法  
○金子 成悟, 杉本 泰博 (中央大) ..... 3

- 09:55-10:20 8. An Ultra-Compact 60-GHz Wake-Up Receiver by Reconfiguring Multi-Stage LNAs  
○Rui Wu, Qinghong Bu, Wei Deng, 岡田 健一, 松澤 昭 (東工大)  
..... 3
- 10:20-10:45 9. 新規高効率高周波電力出力回路の提案  
○菅原 光俊, 盛 健次, 川嶋 理史, 宮原 正也, 松澤 昭 (東工大)  
..... 4
- 10:55-11:20 10. 分散遺伝的アルゴリズムと HSPICE の最適化機能を組み合わせたコンパレータの自動合成  
○鈴木 研人, 高井 伸和, 根岸 孝行, 加藤 雅人, 関 洋明, 菅原 誉士紀, 小林 春夫 (群馬大)  
..... 4
- 11:20-11:45 11. 分散型遺伝的アルゴリズムによる素子値広がりを抑えた RC ポリフェーズフィルタの自動設計  
○菅原 誉士紀, 高井 伸和, 根岸 孝之, 加藤 雅人, 関 洋明, 鈴木 研人, 小林 春夫 (群馬大)  
..... 5
- 11:45-12:10 12. CCM/DCM 全領域における電源回路の機能・回路混載シミュレーション手法  
○渡辺 啓, 安倍 幹織, 山室 雄哉, 杉本 泰博 (中央大)  
..... 5
- 13:10-13:35 13. マイクロシステム送信器のためのオンチップアンテナの検討  
○渡邊 淳史, 小野 東輝, 折原 大地, 南 快優, 中野 誠彦 (慶應大)  
..... 6
- 13:35-14:15 14. [ISSCC 特別講演]  
IF 直交バックスキタリング回路技術を用いた  $113\mu\text{W}$  32-QAM 送信機  
○白根 篤史, 譚 昊イ, 方 一鳴, 伊部 泰貴, 伊藤 浩之, 石原 昇, 益 一哉 (東工大)
- 14:15-14:55 15. [ISSCC 特別講演]  
An HCI-Healing 60GHz CMOS Transceiver  
○Rui Wu, 河合 誠太郎, 瀬尾 有輝, 木村 健将, 佐藤 慎司, 近藤 智史, 上野 智大, Nurul Fajri, 眞木 翔太郎, 永島 典明, 竹内 康揚, 山口 達也, Ahmed Musa, 宮原 正也, 岡田 健一, 松澤 昭 (東工大)  
..... 6

## 改良型粒子群最適化を用いた光送信機の自動調整システム

Automatic Adjustment System for Optical Transmitter Using Improved Particle Swarm Optimization

鹿児島大学 大島賢一

日立製作所 矢崎徹、中條徳男、西元琢真

Kagoshima University, Kenichi Ohhata, Hitachi, Ltd., Toru Yazaki, Norio Chujo, Takuma Nishimoto  
[k-ohhata@eee.kagoshima-u.ac.jp](mailto:k-ohhata@eee.kagoshima-u.ac.jp)

アナログ回路の不完全性をデジタル技術を用いて補償するデジタルアシスト技術が活発に研究され、実用化されるようになってきた。本技術では製造バラツキ、環境変動によるアナログ回路性能の劣化を小面積、低電力なデジタル回路で補償、調整するため、高性能なアナログ回路を低コストで実現できる。しかし、デジタルアシスト技術が多用されるようになって、補償回路の調整時間増加が問題となってきた。本研究では、デジタルアシストを用いた光送信機の調整時間短縮を目的に自動調整システムの開発を行った。本システムでは光送信機の出力光波形をオシロスコープで観測し、アイ開口や消光比などが改善されるように調整パラメータを更新していく。この際のパラメータ更新アルゴリズムとして、広域探索性能に優れた粒子群最適化をベースに、①回帰モデルを用いた高品質初期解生成、②平均電力を判定条件とした波形測定のプロセスの改良を加えたアルゴリズムを提案した。実験の結果、改良型アルゴリズムによりパラメータの調整時間を従来の粒子群最適化と比較して 1/3 に短縮できることを明らかにした。

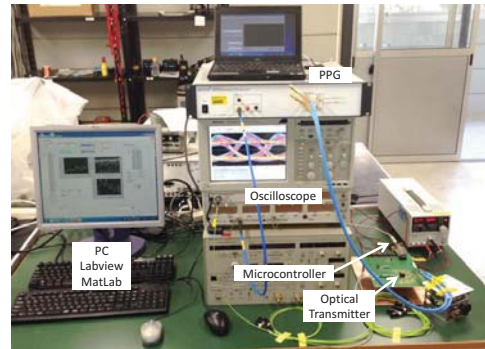


図 1. 自動調整システム

## 集積回路配線によるテラヘルツ帯メタ表面の構成に関する検討

Meta-Surface for Terahertz Wave Generation by On-Chip Interconnect

○ 土谷 亮, 小野寺 秀俊 (京都大学)

Akira Tsuchiya and Hidetoshi Onodera

[tsuchiya@vlsi.kuee.kyoto-u.ac.jp](mailto:tsuchiya@vlsi.kuee.kyoto-u.ac.jp)

**概要:** テラヘルツ波源として、金属の微細パターンを規則的に敷き詰めたメタ表面に極短パルスレーザーを照射してテラヘルツ波放射を起こす技術が注目されている。表面の構造による光学活性の実現など様々な研究が報告されている。このような表面の課題の一つが加工技術である。リソグラフィーやFIBなどが検討されているが、加工精度や実現可能な構造などに制約がある。集積回路配線は微細かつ立体的な構造を実現できるという点でテラヘルツ波放射に有望であり、またMOSトランジスタの利用によって特性制御の実現も期待できる。この研究ではオンチップ配線でソレノイドコイルを構成し、電磁界解析でその特性を評価した。また、MOS容量に相当する容量で特性を変化させられるかを検討した。

**検討:** 電磁界解析により、外径 50  $\mu\text{m}$  程度のソレノイドコイルが共振周波数 1 THz 付近を実現できることを確認した。数十  $\mu\text{m}$  のパターンがテラヘルツ波放射に適しており、集積回路配線が有用であることが確認された。また、ソレノイドコイルにMOS容量を模擬したキャパシタを接続することで、図1に示すように約15%共振周波数が変化することを確認した。これにより、MOSキャパシタによる共振周波数制御の可能性が確認された。

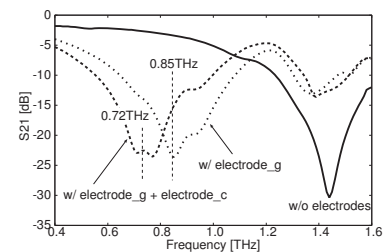


図 1. キャパシタによる共振周波数の変化

LC フィルタレス Class-D アンプに用いる  $\Delta \Sigma$  変調 DAC 特性の検討  
Characteristics of delta-sigma modulation DAC used LC in a filter-less Class-D amplifier  
法政大学 ○春海 豪, 渡邊裕紀, 西勝 聡, 安田 彰, 吉野理貴(法政大学)  
Hosei University Go Harumi, Yuki Watanabe, Satoshi Saikatsu, Akira Yasuda, Michitaka Yoshino (Hosei University)  
go.harumi.5y@stu.hosei.ac.jp

**概要:** スマートフォンやポータブル端末等のオーディオシステムには、小型化、低消費電力化を目的とした Class-D アンプが普及している。そのデジタル-アナログ変換器(DAC)部には、オーバーサンプリングとノイズシェープによって高精度な変換が実現できる  $\Delta \Sigma$  DAC が広く用いられる。Class-D アンプに用いる LC フィルタは実装面積が増大することから、近年では、EMI 対策として、フェライトビーズなどの小型のフィルタを用いた LC フィルタレスアンプが注目されている。しかし、小型のフェライトビーズに用いられる強磁性材料はヒステリシス特性を持ち、この非線形性がスピーカ出力の THD+N などのオーディオ特性に悪影響を招く。またこの問題は強磁性磁石を用いた高出力スピーカにおいても同様の影響を与える要因となる。本稿では EMI フィルタおよび高出力スピーカによる非線形特性を、LTspice の非線形モデルを用いてモデリングしシミュレーションを可能にすると共に、この影響に対してロバストな  $\Delta \Sigma$  変調 DAC の特性を考察する。

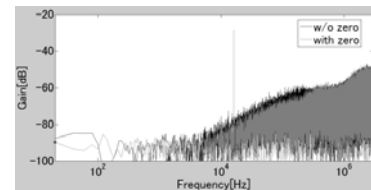


図 1. ノッチの有無による  
シェーピング特性の比較

アナログ回路設計はどこに行くのか? -平成時代を振り返って-

Where goes? Analog Circuit Design!  
東京工業大学 ○道正 志郎  
Tokyo Institute of Technology  
dosho.s.aa@m.titech.ac.jp

**概要:** ここ数十年で、アナログ回路技術は多岐に渡って目覚ましく進歩した。従って、若手技術者の方々がそれらの中から重要な技術を自力で拾い出して習得するには多大の時間を要するものと察する。そこで今回は、若手技術者の方々の参考のため、筆者も開発に関わった回路技術、フィルタ、位相同期回路、AD 変換回路等の回路の設計と合成技術の中から重要な技術を振り返り解説する。また、今後のアナログ回路技術がどのように発展していくかを予想する。

# WPTにおけるインピーダンス制御と最大電力伝送手法 Impedance control and maximum power transmission methods in WPT

中央大学 ○金子 成悟, 杉本 泰博  
Chuo University ○Seigo Kaneko, Yasuhiro Sugimoto  
kane12@sugi.elect.chuo-u.ac.jp

**はじめに:** ワイヤレス電力伝送の普及が進み、長距離の電力伝送が可能となる磁界共振方式が注目を浴びている。磁界共振方式における伝送電力は、負荷の大きさにより大きく異なる。負荷となる回路のインピーダンスは一定の値になるとは限らないため、動作している負荷のインピーダンスに応じて最大の電力を伝送する必要がある。

**概要:** 受電側の負荷に DC/DC コンバーターを接続し、デューティ D を調整することで入力インピーダンスの制御を行った。その様子を図 1, 2 に示す。図 1, 2 では重負荷とした場合の Buck コンバーター(図 1) と Boost コンバーター(図 2) のデューティを変化させ、そのときの伝送電力をプロットしたものである。この条件では Buck コンバーターの D=0.7 で最大の出力電力となることを確認した。

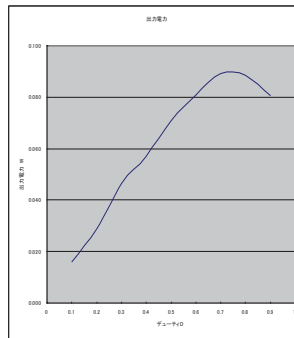


図 1, Buck コンバーター

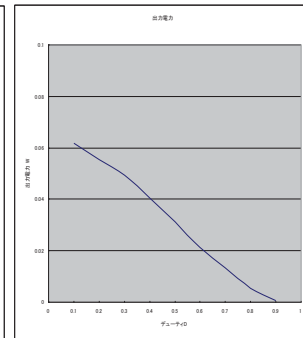


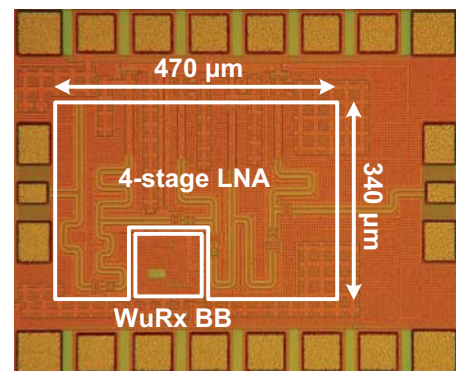
図 2, Boost コンバーター

## An Ultra-Compact 60-GHz Wake-Up Receiver by Reconfiguring Multi-Stage LNAs

東京工業大学 理工学研究科, ○ウ ルイ, ト 慶紅, Wei Deng, 岡田 健一, 松澤 昭  
Tokyo Institute of Technology, ○Rui Wu, Qinghong Bu, Wei Deng, Kenichi Okada, and Akira Matsuzawa  
wu@ssc.pe.titech.ac.jp

An area-efficient 60-GHz wake-up receiver (WuRx) using reconfiguration techniques of multistage low-noise amplifiers (LNAs) is presented [1]. The gain stages of the 60-GHz LNA are reused as the envelope detectors for the wake-up receiver. Therefore, the bulky components such as extra switches between the wake-up receiver and the LNA, additional antennas, and excess input matching network can be removed in the design of the wakeup receiver. Furthermore, due to the reconfigurability of the LNA, the wake-up receiver can work in sensitivity-boost mode by using several LNA gain stages as a pre-amplifier. The wake-up receiver is fabricated in a 65-nm CMOS process occupying a core area of 0.015mm<sup>2</sup> (excluding the LNA). The WuRx achieves the sensitivity of -46dBm and -60dBm with a power consumption of 64<sub>μ</sub>W and 12.7mW, respectively.

[1] Rui Wu, Qinghong Bu, Wei Deng, Kenichi Okada, and Akira Matsuzawa, "A 0.015-mm<sup>2</sup> 60-GHz Reconfigurable Wake-Up Receiver by Reusing Multi-Stage LNAs," Proc. IEEE Asian Solid-State Circuits Conference (A-SSCC), Kaohsiung, Taiwan, pp. 181-184, Nov. 2014.



# 新規高効率高周波電力出力回路の提案 A Proposal of novel RF power output circuit

○菅原 光俊 \*1\*2, 盛 健次 \*1, 川嶋 理史 1, 宮原 正也 \*1, 松澤 昭 \*1  
Mitsutoshi Sugawara \*1\*2, Kenji Mori \*1, Satoshi Kawashima \*1, Masaya Miyahara \*1, Akira Matsuzawa \*1  
\*1 東京工業大学, \*2 独立行政法人科学技術振興機構  
sugawara@ssc.pe.titech.ac.jp, msugawara@ieee.org

**概要:** これまで高周波電力出力回路はアナログ信号を入力とし、トランジスタを含む純アナログ回路で構成されていた。今回提案するのは複数の「単位抵抗とスイッチ」からなり、デジタル入力信号を直接アンテナ出力可能な高周波電力に変換するデジタル・電力変換器「DPC」である。まず考えられるのが、6Gspsの動作実績を持つ、出力インピーダンス 50Ωのセグメント型のDACをそのまま高周波出力回路とするものだが、電力効率と高調波除去率に難点がある。

今回、右図に示すB級プッシュアップ増幅器に迫る電力効率に改良した回路トポロジを提案する。合わせて、小さな容量の追加で、高調波を簡単に除去するアーキテクチャも提案する。これらの回路の特徴は、電源電圧が低くても理論最大振幅(電源電圧 pp)の90%以上の出力が得られ、歪の原因となるリニア領域動作トランジスタは無く容易に歪率<1%が得られ、出力インピーダンスが常に差動 100Ωの純抵抗なので S11>20dB、同調回路無しでも高調波除去率>40dBが得られる。

また「単位抵抗とスイッチ」を規則的に並べるレイアウトなので、提案済みのレイアウト・ドリブン型ミックスド・シグナル自動設計手法と親和性が良い。

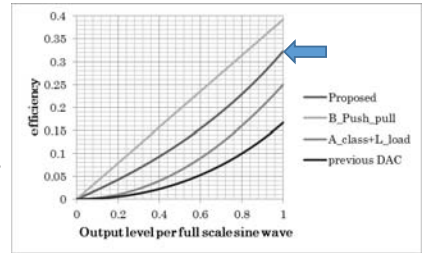


Fig1. Power efficiencies at sinusoidal outputs

## 分散遺伝的アルゴリズムと HSPICE の最適化機能を組み合わせたコンパレータの自動合成

Automatic Synthesis of Comparator Circuits by Combination of Distributed Genetic Algorithm and HSPICE Optimization Function  
群馬大学 ○鈴木 研人、高井 伸和、根岸 孝行、加藤 雅人、関 洋明、菅原 誉士紀、小林 春夫  
Gunma University Kento Suzuki, Nobukazu Takai, Takayuki Negishi, Masato Kato, Hiroaki Seki, Yoshiki Sugawara, Haruo Kobayash  
t11306040@gunma-u.ac.jp

**概要:** アナログ集積回路設計では多くの知識や経験に基づき回路図や素子値を決定するため、開発期間の長期化が問題となっている。そこで現在では、コンピュータによる回路設計の自動化に注目が集まっている。HSPICE の最適化機能は設定した初期値に大きく依存するため、各特性の向上を図るには適切な初期値設定することが重要となる。この機能を用いたコンパレータの自動合成は既に提案されている<sup>[1],[2]</sup>が、初期値の設定を考慮していないため各性能は必ずしも向上しない問題がある。本研究では、図1のように分散遺伝的アルゴリズムと HSPICE の最適化機能を組み合わせて、設定した目標性能指標<sup>[3]</sup>を満たすように素子値を決定することが目的である。

**結果:** (1)分散遺伝的アルゴリズム (2)HSPICE の最適化機能 の2つを組み合わせることで、双方の欠点を補うことができ、9項目の目標性能指標のうち8項目を満たすコンパレータ回路を設計できた。

**参考文献:** [1] 根岸 孝行, 他 5名, “HSPICE の最適化機能を用いたコンパレータ回路の自動合成”, 電気学会 電子回路研究会, ECT-13-67, pp. 57-62 (July 2013). [2] 加藤 雅人, 他 4名, “回路ブロックの組み合わせによるコンパレータ回路の自動合成”, 電子情報通信学会 第 27 回 回路とシステムワークショップ, pp. 446-451 (Aug 2014). [3] RENESAS, “HA1631S01/02/03/04 シリーズ”, <http://documentation.renesas.com/>

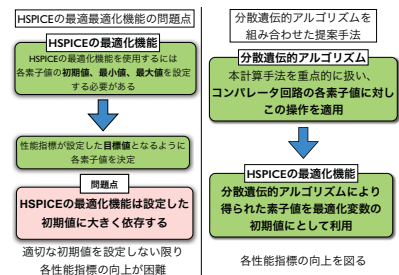


図1. 研究目的の概要

# 分散型遺伝的アルゴリズムによる素子値広がりを抑えた RC ポリフェーズフィルタの自動設計

## Automatic Design of RC Polyphase Filters with Small Element Value Spread by Using Distributed Genetic Algorithm

群馬大学

○菅原誉士紀, 高井伸和, 根岸孝之, 加藤雅人, 関洋明, 鈴木研人, 小林春夫

Gunma University

t11306039@gunma-u.ac.jp

**概要:** 複素フィルタの1つである RC ポリフェーズフィルタはイメージ除去のために無線送受信機などで使用され、アナログ・フロント・エンド部の重要な回路である。数学的に解析されいくつかの設計手法が提案されているが[1]、設計された回路の特性は広帯域化に伴うゲイン特性の劣化、素子値広がりが大きくなる等の問題がある。本研究は、これらの問題に対して分散型遺伝的アルゴリズムを用い自動設計を行うことにより、広帯域化に伴う特性の劣化が低減された回路を設計することが目的である。

**結果:** 比帯域 10, 30, 100 の例において自動設計された RC ポリフェーズフィルタのシミュレーションを行い、広帯域化に伴うゲイン特性の劣化、素子値広がりを抑えられた特性を持つ設計結果が得られることを確認した。特に素子値広がりに関しては、比帯域の変化に対し変動が小さい結果を得られた。

**参考文献:** [1] 和田 和千, 田所 嘉昭, “通過域で平坦かつ阻止域で等リプルに振幅特性を近似するRCポリフェーズフィルタの設計法,” 電子情報通信学会論文誌 A, Vol.J88-A, No.12, pp.1478-1486.

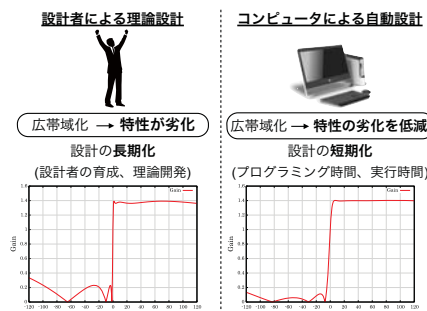


図 1. 研究目的概要

# CCM/DCM 全領域における電源回路の機能・回路混載シミュレーション手法

The simulation method for switching power converters in CCM/DCM entire region using a mixture of circuits and behavioral models

中央大学大学院 理工学研究科 ○渡辺 啓, 安倍 幹織, 山室 雄哉, 杉本 泰博

Department of E.E.C.E, Chuo University ○Watanabe Kei, Abe Mikio, Yamamuro Yuuya, Sugimoto Yasuhiro

Onabe12@sugi.elect.chuo-u.ac.jp, abe13@sugi.elect.chuo-u.ac.jp, muro14@sugi.elect.chuo-u.ac.jp, sugimoto@sugi.elect.chuo-u.ac.jp

**概要:** 電源 IC 回路の過渡応答と周波数特性を高速かつ高精度に解析する手法として、Verilog-A を用いた機能記述モデルとトランジスタモデルを組み合わせた手法を提案してきた。今回、昇圧型 DC-DC コンバータにおける CCM/DCM 両領域でのシミュレーションを統一モデルで可能とした。

**実験:** SPICE によるシミュレーション結果および提案手法(verilog-A)によるシミュレーション結果が、過渡応答および周波数特性ともに一致し、解析時間の短縮が確認された。トランジスタモデルと併用したシミュレーション結果も同様の結果が得られた。

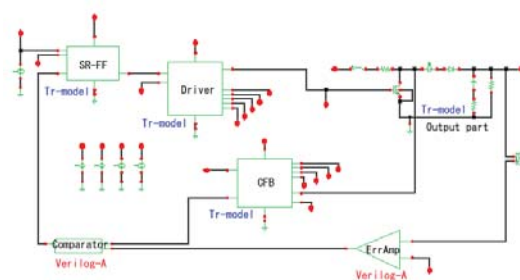


図 1. 昇圧型 DC-DC コンバータの Tr モデルと Verilog-A の併用モデル例



## マイクロシステム送信器のためのオンチップアンテナの検討 On-Chip Antenna for Micro System Transmitter

慶應義塾大学 ○渡邊淳史、小野東輝、折原大地、南快優、中野誠彦

Keio University ○Atsushi Watanabe, Haruki Ono, Daichi Orihara, Yoshimasa Minami, Nobuhiko Nakano  
watanabe@nak.elec.keio.ac.jp

**概要:** 本研究ではチップ単体で自律的に動作するスタンドアロンチップの実現を目指している。具体的には同一チップ上に発電素子、電源回路、アプリケーション回路を載せることで、外部配線やパッケージングを不要とし、システムの微小化やローコストを実現する。本研究室では、発電素子として標準 CMOS プロセスで構成が容易な太陽電池を使用し、電源回路を介して出力電圧 1V 以上の電源システムを開発している。一つのアプリケーション回路として近距離送信器を想定している。このマイクロシステム送信器は、ビーコンやセンサネットワーク等の動作が期待される。送信器の構成としては、900MHz 発振器とオンチップアンテナであり、今回は 7 種類のオンチップアンテナを試作した。試作したオンチップアンテナについて GSG パッドを用いて反射特性を測定した。GSG プロブの当て方を変えたところ、異なる反射特性を示した。この結果について議論する。

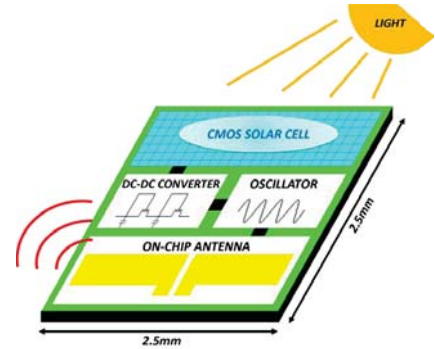


図 1. マイクロシステム送信器

## An HCI-Healing 60GHz CMOS Transceiver

東京工業大学 理工学研究科, ○Rui Wu, 河合 誠太郎, 瀬尾 有輝, 木村 健将, 佐藤 慎司, 近藤 智史, 上野 智大, Nurul Fajri, 眞木 翔太郎, 永島 典明, 竹内 康揚, 山口 達也, Ahmed Musa, 宮原 正也, 岡田 健一, 松澤 昭

wu@ssc.pe.titech.ac.jp

The world's first 60-GHz CMOS transceiver with hot-carrier-injection damage healing function by using charge ejection technique is presented [1]. The proposed transceiver achieves over 81-year lifetime without sacrificing the output power and efficiency. The transceiver demonstrates an EVM of -27.9dB and can transmit 7Gb/s in 16QAM within 2.16-GHz bandwidth. The front-end, fabricated in a 65nm CMOS technology with a core area of 2.3mm<sup>2</sup>, consumes 214mW and 184mW from a 1.2-V supply in transmitting and receiving mode, respectively.

[1] Rui Wu, Seitaro Kawai, Yuuki Seo, Kento Kimura, Shinji Sato, Satoshi Kondo, Tomohiro Ueno, Nurul Fajri, Shoutarou Maki, Noriaki Nagashima, Yasuaki Takeuchi, Tatsuya Yamaguchi, Ahmed Musa, Masaya Miyahara, Kenichi Okada, and Akira Matsuzawa, "An HCI-healing 60GHz CMOS transceiver," IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, CA, Feb. 2015.

